

# UART to AHB Bus Core Specifications

# UART to AHB 协议 IP Core 详细设计说明书

|  |  |
| --- | --- |
| First name: | UART to AHB Bus Core Specification |
| Version: | 1.0 |
| Creation Date: | August 17, 2022 |
| Update Date: | August 17, 2022 |
| Author: | Yang Yanfeng |

## 引言

### 应用范围

本文描述了UART to AHB Bus IP Core 算法设计，架构设计以及接口设计。

### 修订历史

|  |  |  |  |
| --- | --- | --- | --- |
| Rev | Date | Author | Description |
| 0.1 | August 17, 2022 | Yang Yanfeng | First Draft |
| 0.2 | August 18, 2022 | Yang Yanfeng | Modified Baud\_gen.v |
|  |  |  |  |
|  |  |  |  |

### 参考缩写

UART Universal Asynchronous Receiver / Transmitter

## 简介

该UART to AHB Bus IP Core是一个简单的命令解析器，可以通过UART接口访问AHB总线。该IP Core可以作为Initial Board调试接口使用，也可以作为低速数字系统解决方案使用。AHB总线设计为数据总线位宽32bit，地址总线位宽32bit。

该IP Core实现了基本的UART传输模块和接收模块。它们共享了一个波特率发生器和命令解析器。命令解析器支持UART协议与AHB总线协议的转换。将10位的帧数据转换为32位的AHB片上总线数据。

IP Core使用verilator仿真模拟两种操作模式。Test bench中使用了寄存器模型仿真读写操作。

## 架构设计

UART to AHB Bus IP Core的架构非常简单。这个IP Core包含了一个UART接口模块和一个命令解析模块。UART接口模块内有UART传输模块和UART接收模块，以及波特率生成模块。下列图片为IP Core的Block Diagram。

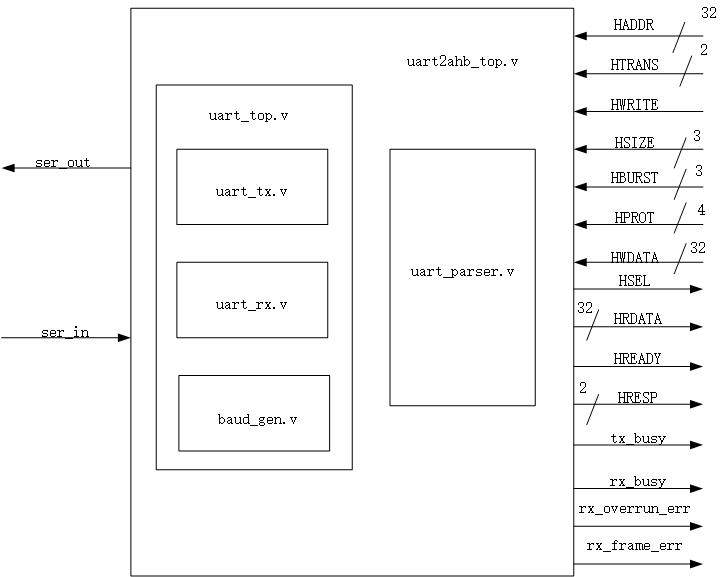


图 1: UART to AHB Bus Core Block Diagram

### 3.1 自适应波特率生成模块

UART接口模块包括了UART传输模块和UART接收模块，这两个模块共享一个Baud\_gen module，波特率生成模块。波特率使用Core的top文件中的两个参数常量进行计算，计算公式如下：

以上算法使用了一个bash脚本进行计算，脚本内容放在 ./script 目录下。

除了bash脚本计算之外，我还设计了一种自适应的波特率发生器。由于串行通信线路上不传送时钟信号，且收发双方的工作时钟相差甚远，为了能够得到UART接收逻辑和发送逻辑所需的时钟信号，本次设计将实现一个能够通过串行输入数据自动产生波特率时钟的自适应波特率时钟发生器，其基本原理是通过对外部数据连续两个下降沿之间的时钟多次计数，将比较得到的最小值除以16作为自减计数器的预置值，利用自减计数器溢出信号从而得到分频后的波特率时钟，具体结构如图2所示。

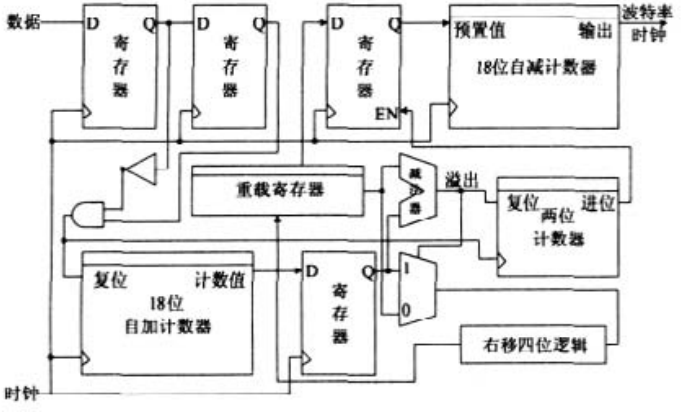


图 2: 自适应波特率发生器结构图

### 3.2 UART接收器和发送器模块

在波特率确定之后, 接收器和发送器就可以按照波特率时钟的 8 倍进行收发数据。与传统 UART 设计不同的是,由于这里将要设计的接收器和发送器收发的数据只包含 8 位有效数据,而最终实现的却是 32 位并行数据和单比特数据的融合,因此考虑为发送器和接收器各配备一个移位寄存器和一个 8 位保持寄存器。基于传统的设计方法,这里同样利用有限状态机完成该部分的设计,其状态迁移如图 3 所示。

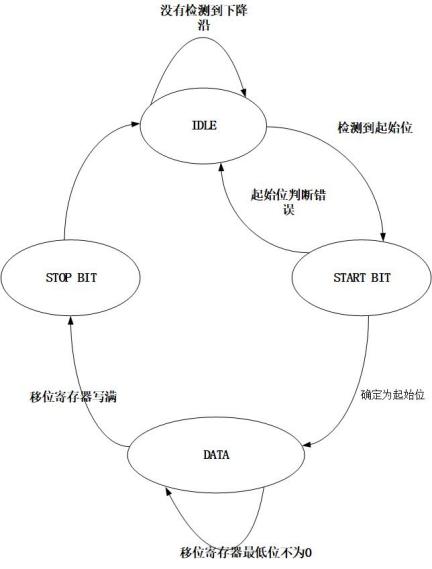
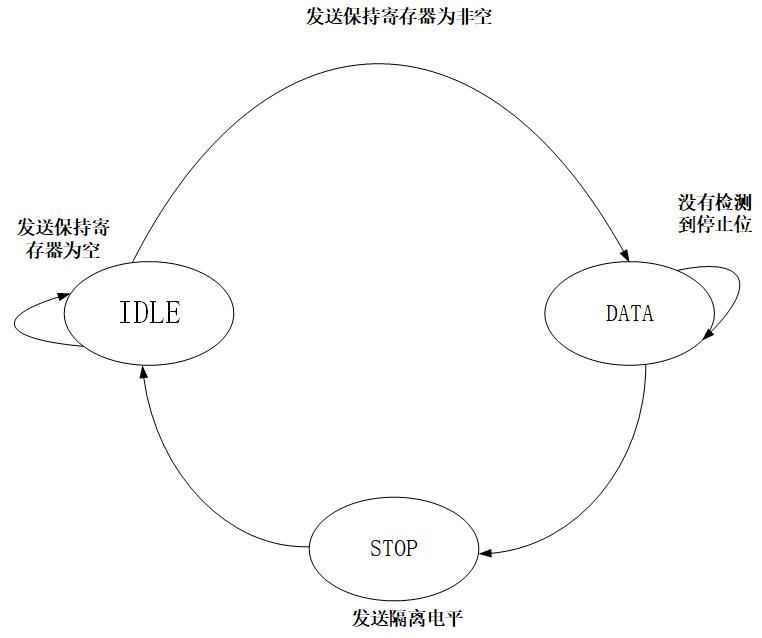


图 3: 发送器与接收器的有限状态机图：左图 (a) 为发送状态，右图 (b) 为接收状态

3(a)为发送状态图,上电复位后发送器将处于空闲(idle)状态, 若保持寄存器满则将 8 位数据前后加入起始位和停止位后存入发送移位寄存器,同时转入数据态(data);在数据态将移位寄存器中的值按从低到高发送至串行数据线上, 若检测到停止位则转移至停止态(stop);停止态将移位寄存器全部充满‘1’,使得发送器不断发送隔离电平同时回到起始态等待下笔传输。

图3(b)为接收状态图,同样起始态为空闲(idle),一旦检测到将进入起始位状态(start bit),另外,为了降低串行数据中噪声的影响,在串行数据输入端需加入数据滤波器, 它将对每位数据进行 8 次采样,若采样值完全一致,则认可该数据位;在起始位状态,由于起始位将关系到一帧数据接收的正误, 所以特在此状态对起始位正确性进行判定, 由于信号在码元边沿跳变时会有振铃或过冲等抖动,所以码元的边沿部分不适合采样,要想获得较佳的抽样判决结果, 最好在靠近码元中部的位置对接收到的信号进行抽样判决,若为‘0’则认定为起始位并转入数据态(data);在数据态,串行数据不断右移进入移位寄存器,当最低位检测到起始位‘0’时将转入停止位态(stopbit);在停止态,将根据协议转换模块回应的控制信号决定是否将移位寄存器数据打入保持寄存器中。

### 3.3 协议转换模块

本模块将完成串并转换模块所确定的 10 位帧格式与 AHB总线所要求的 32 位并行数据格式的相互转换。首先在数据链路层设计一套转换协议,它将分别定义读写传输,同时为了加快对于连续地址访问模式下地址生成速度, 在协议中特别加入了地址控制字段。此协议规定了第一帧数据为控制帧,其中最高两位为“11”表示当前传输为写传输“, 10”表示当前传输为读传输,低 6 位表示将要连续访问的地址数。在写传输格式中,由于地址总线和写数据总线为 32 位,所以控制帧后将要紧跟 4 帧地址和4 帧数据;而读传输格式中,除了将发送 4 帧地址外,随后将等待读数据总线回应的 4 帧数据。在每一笔传输结束后,由内部逻辑按照控制帧中地址长度自动驱动地址总线, 这样加快了地址准备时间,提高了数据传输效率,不但降低了高频工作时串并转换模块产生的功耗,同时也降低了误码率。

硬件实现时仍然采用有限状态机描述, 具体状态如图 4 所示。该状态机设计的关键在于在地址就绪后,若为读操作,那么在读状态 1 就应发出总线请求,待总线授权后则将返回的 32 位读数据在读状态 2 拆分为 4 组 8 位并行数据送往串并转换模块,同时判断控制字段中结束若未结束,则将重新进入读状态 1再次地址自增传输;若为写操作,那么写状态 1 将等待写数据就绪,然后在写状态 2 发出总线请求,同样在一笔传输结束后判断控制字段是否传输完全结束, 否则重新转向写状态 1 再次发起传输。

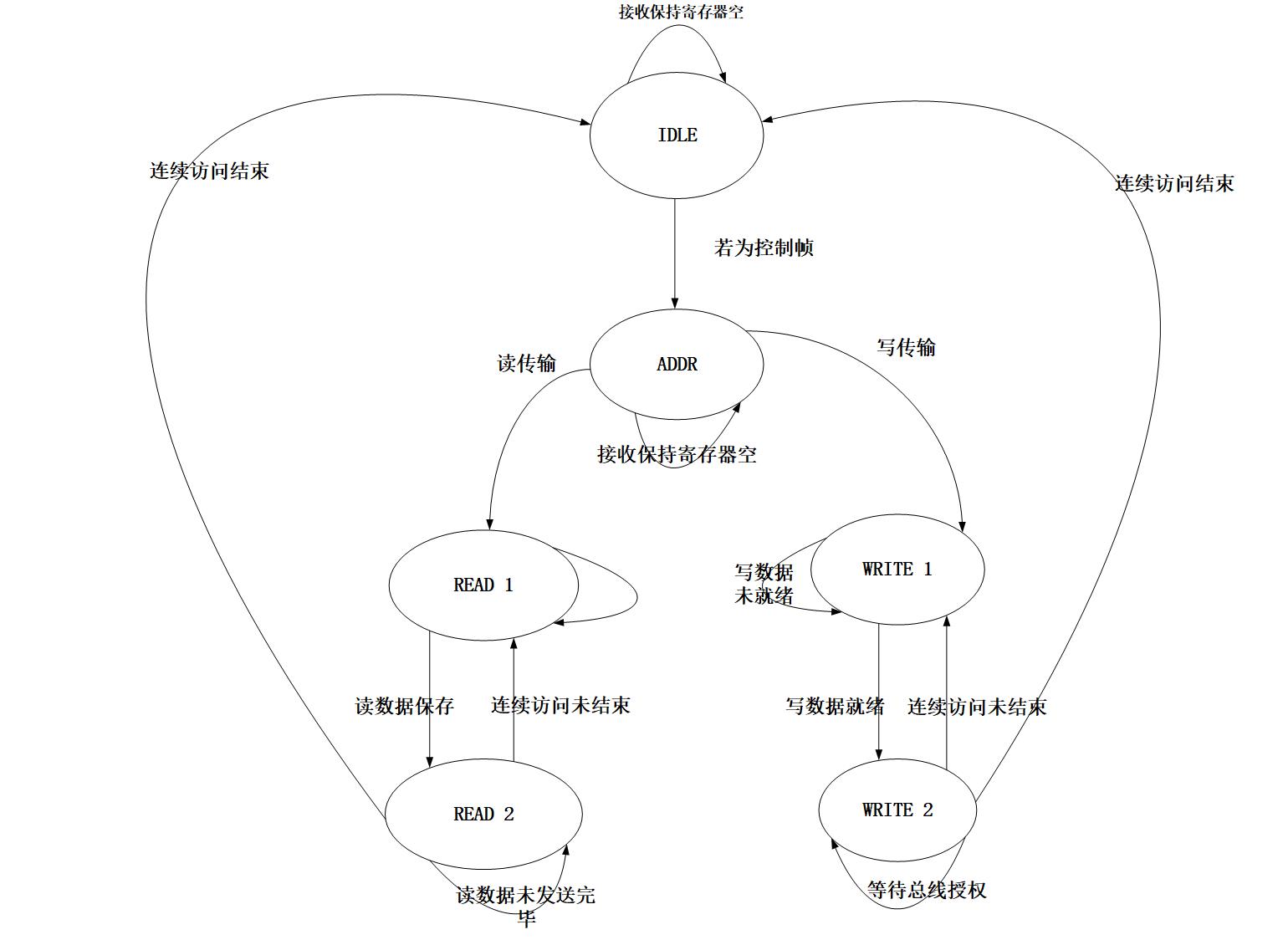


图 4：协议转换模块状态机图

## 接口设计

下列表格展示了uart2ahb IP Core的接口信号。

|  |  |  |  |
| --- | --- | --- | --- |
| Name | Direction | Width | Description |
| HCLK | input | 1 | Global core clock signal. |
| HRST\_n | input | 1 | Global core asynchronous reset, active low. |
| Ser\_in | input | 1 | UART serial input to the core |
| Ser\_out | output | 1 | UART serial output from the core. |
| HADDR | input | 32 | The 32-bit system address bus. |
| HTRANS | input | 2 | Indicates the type of the current transfer, which can  be NONSEQUENTIAL, SEQUENTIAL, IDLE or  BUSY. |
| HWRITE | input | 1 | When HIGH this signal indicates a write transfer  and when LOW a read transfer. |
| HSIZE | input | 3 | Indicates the size of the transfer, which is typically  byte (8-bit), halfword (16-bit) or word (32-bit). The  protocol allows for larger transfer sizes up to a  maximum of 1024 bits. |
| HBURST | input | 3 | Indicates if the transfer forms part of a burst. Four, eight and sixteen beat bursts are supported and the burst may be either incrementing or wrapping. |
| HPROT | input | 4 | The protection control signals provide additional  information about a bus access and are primarily  intended for use by any module that wishes to  implement some level of protection. |
| HWDATA | input | 32 | The write data bus is used to transfer data from the  master to the bus slaves during write operations. |
| HSEL | input | 1 | Each AHB slave has its own slave select signal and this signal indicates that the current transfer is  intended for the selected slave. |
| HRDATA | output | 32 | The read data bus is used to transfer data from bus  slaves to the bus master during read operations. A  minimum data bus width of 32 bits is recommended. However, this may easily be  extended to allow for higher bandwidth operation. |
| HREADY | output | 1 | When HIGH the HREADY signal indicates that a transfer has finished on the bus. This signal may be driven LOW to extend a transfer. |
| HRESP | output | 2 | Four different responses are provided, OKAY,  ERROR, RETRY and SPLIT. |
| TX\_BUSY | output | 1 | UART Transfer Status is busy now. |
| RX\_BUSY | output | 1 | UART receive Status is busy now. |
| RX\_OVERRUN\_ERR | output | 1 | UART IP Core still receive data when AHB stop accept data. |
| RX\_FRAME\_ERR | output | 1 | UART frame error signal |

## Test Bench 描述

该IP Core的功能测试点如下：

1. AHB的不同BURST类型数据的读写访问。目的在于测试BURST类型和数据位宽的各种排列组合，包括： 8种BURST类型，3种不同的数据位宽。
2. 配置参数检查。
3. RESET信号。在传输过程中发生reset，模块功能能否恢复正常。
4. HTRANS。测busy类型。
5. AHB端口信号检查。检查HPORT、HREADYOUT、HRESP的功能。
6. UART端口信号检查。检查停止位没有拉高情况，检查AHB停止Grant，UART继续传输情况。